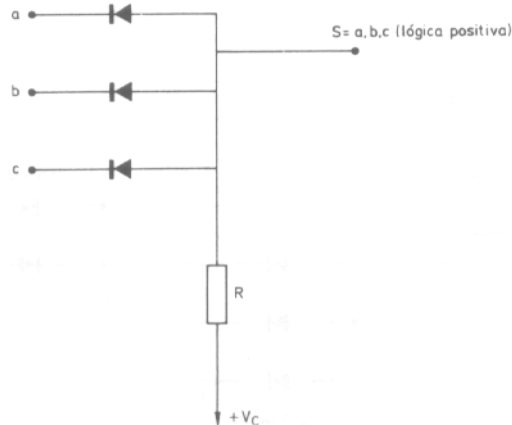
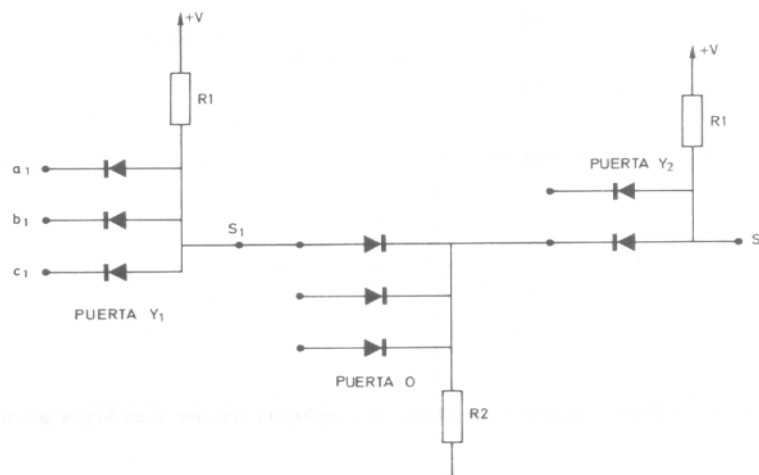


El diodo semiconductor que presenta dos estados bien diferenciados de conducción y no conducción, podría comportarse como dispositivo aceptable en la fabricación de circuitos digitales. Se muestra a continuación una puerta y de tres entradas hecha en base a diodos; se puede ver que sólo en el caso en que las tres entradas se encuentren conectadas a la misma tensión positiva de la fuente que alimenta el sistema $+V_C$ la salida estará en $V(1)$



Se ve en el caso de usar lógica positiva que se trata de una puerta “and”, y en el caso de usar una lógica negativa una puerta “or”. Análogamente se ve que si invertimos los diodos del circuito estaremos frente a una puerta “or” en el caso de usar lógica positiva y “and” en caso de negativa.

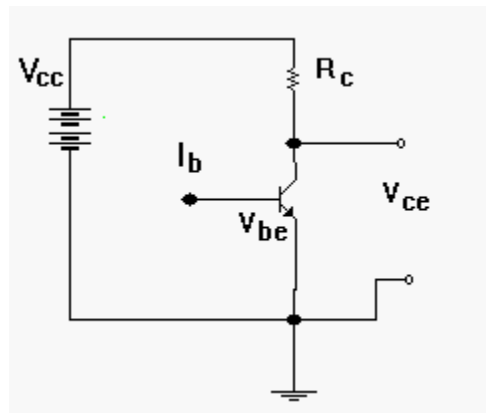
Pero por tratarse de un dispositivo pasivo, el diodo no resulta adecuado en la práctica para conectar puertas “and” y “or” entre sí. En el gráfico siguiente se observa una situación en la que acoplando dos puertas “and” y una “or” la R_2 debería ser muy grande con respecto a R_1 para que cuando las tres entradas a,b,c de la puerta “and” hagan que la respuesta sea positiva y se entregue una tensión semejante a $+V_C$ a la salida de la puerta “or”, para tener una buena respuesta a la salida de la segunda puerta “and”; pero por otro lado R_2 debe ser pequeña en el caso en que a la salida de la puerta “or” haya un estado cercano al cero.



Como no se puede cumplir con ambos requerimientos simultáneamente, no resulta posible aplicar éste tipo de tecnología. Pero se puede usar estos dispositivos en combinación con transistores.

En primer instancia sólo le había pedido al circuito inverso que cumpliera con la tabla lógica

e	s
1	0
0	1



Luego le pedimos, en virtud de la potencia disipada

V_e	E	s	V_s	I_s
V_C	1	0	0	I_C
0	0	1	V_C	0

Por último le exigimos un valor sobre la resistencia para poder acoplar circuitos. (esta última exigencia estaba incluida aunque no puesta de manifiesto anteriormente. Cosa que como vimos no cumple la lógica RDL.

V_e	E	s	V_s	I_s	R
V_C	1	0	0	I_C	0
0	0	1	V_C	0	∞

No obstante se puede presentar una aplicación típica de diodos como convertidor de código decimal a binario BCD natural

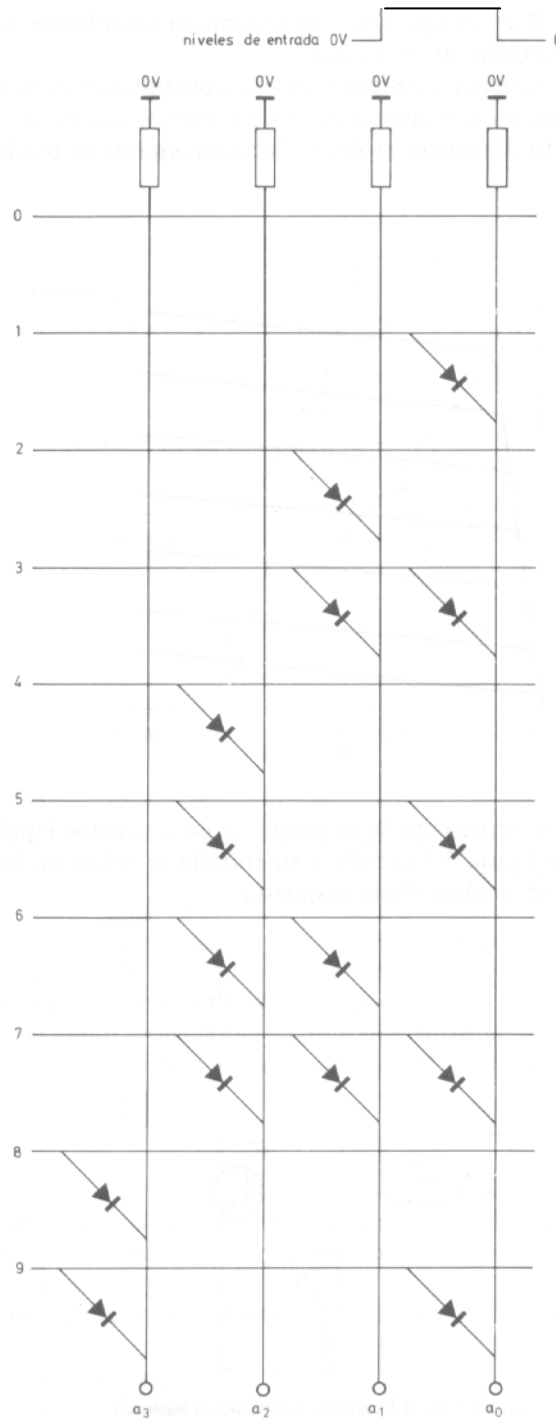
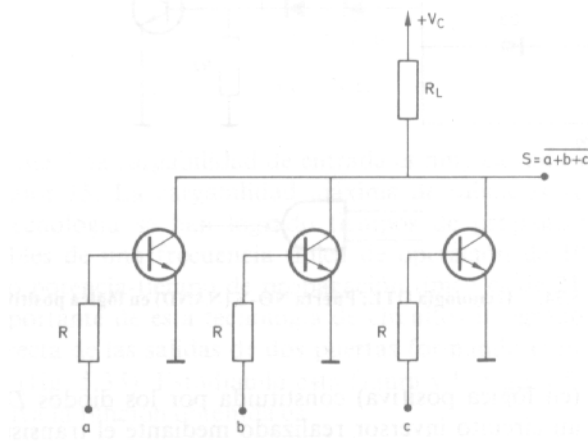


FIGURA 5.7.—Convertidor del código decimal al BCD natural (lógica positiva) realizado con diodos.

La primer tecnología desarrollada en circuitos integrados siguió la línea de lo realizado hasta ese momento con elementos discretos, por lo que al

principio sólo se habló de miniaturización. Muestra de ello son los circuitos integrados de lógica resistencia transistor (RTL). En la figura siguiente se muestra una puerta NO - O (NOR) en lógica positiva.

a	b	C	S
0	0	0	1
1	0	0	0
0	1	0	0
1	1	0	0
0	0	1	0
1	0	1	0
0	1	1	0
1	1	1	0



Se ve que si se aplica para una tensión V_E ($0,5V < V_E < V_C$) sobre cualquiera de las puertas a, b, o c, el transistor correspondiente se comportará como una llave cerrada y la tensión en S será prácticamente nula; este es el comportamiento de una llave NOR con lógica positiva.

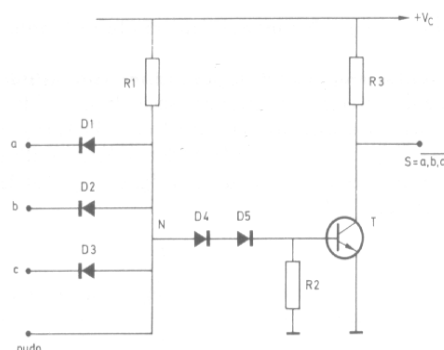
De igual manera se puede comprobar que en lógica negativa esta puerta realiza la función NAND.

De acoplar éste tipo de puertas se producían pequeñas corrientes cuando el transistor estaba en saturación, que provocaban la polarización de otros transistores que conducían en vez de estar en estado de corte. Esto se resolvió colocando diodos en lugares adecuados.

Como se vio en la clase anterior las puertas basadas sólo en el uso de diodos y resistencias no sirven para hacer combinaciones de puertas lógicas, es así que se acoplan con transistores para lograr su cometido.

En la figura siguiente se muestra una puerta NAND en tecnología DTL con lógica positiva, como se puede ver se trata de una puerta AND hecha con una resistencia R_1 y tres diodos D_1 D_2 D_3 y en su salida va un circuito inversor formado básicamente por un transistor con sus correspondientes resistencias R_2 y R_3 .

a	B	c	S
0	0	0	1
1	0	0	1
0	1	0	1
1	1	0	1
0	0	1	1
1	0	1	1



0	1	1	1
1	1	1	0

La salida de la puerta AND es en realidad un nodo N al que se le puede agregar mas diodos en forma externa, para agregar mas entradas. Los diodos D_4 y D_5 se colocan para otorgarle al transistor cierta inmunidad al ruido, esto se logra pues para polarizar en directa al transistor, hace falta generar una corriente en la base del mismo, con estos diodos la tensión necesaria para generar una corriente tiene que ser superior a 1.2 V. En el caso en que conectamos a la salida S de una de estas puertas un diodo equivalente al D_1 de otra puerta igual, cuando el transistor de la primer puerta se encuentra en saturación la tensión V_{CE} no es exactamente cero, esta tensión podría polarizar en directo la base de un transistor de la 2° puerta; esto se evita con los diodos D_5 D_6 .

En aquellas puertas en las que el punto N es accesible, el fan-in es alto y supera por término medio el valor 15. El fan-out es de 10.

Con ésta tecnología se han logrado tiempos de propagación por puerta de 30ns y biestables de una frecuencia típica de 10MHz.

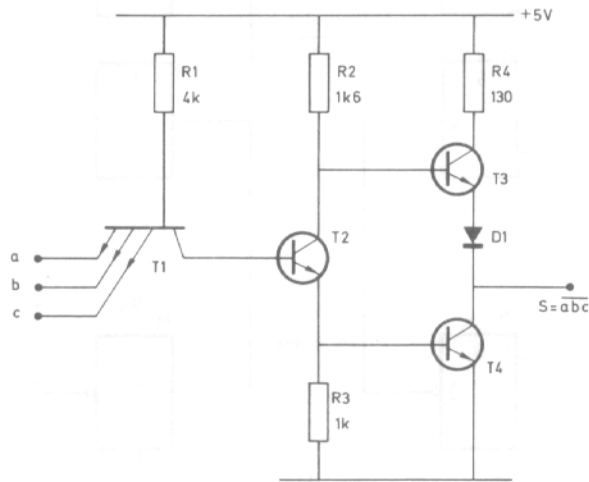
El factor de mérito de estos dispositivos es de $210 \text{ mW} \cdot \text{ns}^1 \{ \mu\text{J} \}$.

Los circuitos integrados de lógica transistor transistor poseen un conjunto de innovaciones con respecto a la tecnología diodo transistor. Como ejemplo veamos la puerta NAND siguiente que está formada por tres etapas,

1. Un transistor multiemisor T_1 con una resistencia R_1 en su base hace las veces de entrada.
2. Un segundo transistor T_2 con un montaje adecuado con dos resistencias R_2 y R_3 que activa la tercer etapa
3. Ésta tiene un transistor T_4 actuando como inversor con una resistencia R_4 , un transistor T_3 y un diodo D_1 como carga.

Éste dispositivo trabaja así: cuando cualquiera de los emisores del transistor T_1 se conecta a una tensión de a lo sumo 0.2 V [$V(0)$], se produce una corriente a través de R_1 y la unión base emisor correspondiente. En esas condiciones el transistor T_2 está en corte y en consecuencia lo estará también el transistor T_4 ; [$V(1)$] En estas condiciones el transistor T_3 recibe una corriente de base a través de la resistencia R_2 , D_1 y la carga conectada en la salida S, que normalmente será una tecnología TTL o una resistencia a masa, así el transistor T_3 está en estado de conducción y la tensión a la salida es $V - iR_4$ que al ser R_4 pequeña permite la alimentación de varios dispositivos (aumenta el fan-out) y disminuye el tiempo de propagación que es proporcional a RC la constante de tiempo de los condensadores parásitos, llevando a éste a 11ns.

¹ Se trata de pico Joules, la unidad que resulta de multiplicar potencia en miliWatts por tiempo en nanosegundos.



Conclusión cuando **cualquier** entrada esta en estado 0 el estado de salida es 1

Quando todas las entradas (los emisores del transistor T_1) se conectan a una tensión superior a los 0.8 V, se produce la conducción de la unión base-colector de este transistor y, en consecuencia, la saturación del transistor T_2 y el transistor T_4 . En esta situación la tensión de colector de T_2 es insuficiente para hacer conducir la unión base-emisor del transistor T_3 debido a la existencia del diodo D_1 . Por lo tanto la carga de T_4 es de varios Mega Ω .

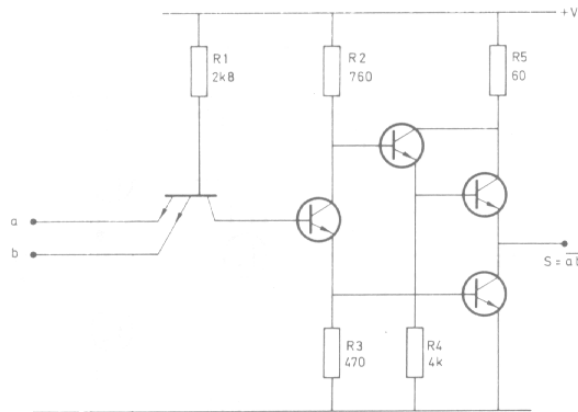
Conclusión: cuando **todas** las entradas están en estado **1** la salida estará en estado **0**

Este dispositivo tiene una resistencia de carga que vale varios Mega Ω en estado cerrado 0 o $V(0)$ y es de 130 Ω en estado de corte, $V(1)$

Con estas características el factor de mérito de éste dispositivo es de tan solo 110 mW ns {pJ}

Esta puerta hace una función NAND en lógica positiva, como se desprende de ambas conclusiones

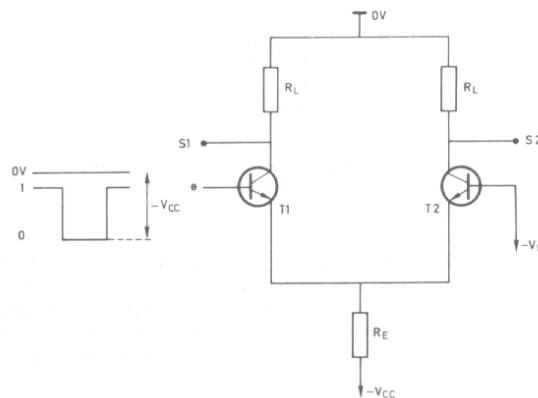
Con igual tecnología se han conseguido puertas más veloces (reduciendo el valor de todas las resistencias) a costa de aumentar la potencia disipada, de forma análoga se ha reducido la potencia disipada a costa de aumentar el tiempo de retardo del dispositivo.



La familia lógica TTL original se llamó 54 / 74 (diferenciándose ambas por el rango de temperatura de trabajo) y usaba el circuito NAND como bloque básico.

Con leves modificaciones que aumentaron su velocidad salió la serie 74 S, con el costo de aumentar la potencia disipada. Aunque con el tiempo fueron mejorándose, las series que hoy se utilizan de ésta familia son las 74 LS (de baja potencia) la 74 AS y la 74 ALS; un resumen de sus características se expone en la tabla de comparación mas adelante.

Se trata de la familia lógica más rápida que se conoce en la actualidad, su tiempo promedio de propagación es de 1 a 4 nanosegundos. Esto se consigue haciendo que los transistores no trabajen en estado de saturación aunque sí con tensiones bien separadas.



En la figura se muestra un ejemplo de un circuito de lógica de acoplamiento por emisor ECL en la cual se observa que existen dos tensiones de alimentación diferentes V_E y V_{CC} (con $|V_E| < |V_{CC}|$). La tensión que se aplica entre la base del transistor T_1 define el estado de corte o conducción de ambos transistores; cuando dicha tensión es levemente superior a V_E el transistor T_1 conduce mientras que el transistor T_2 no, por otro lado para la situación en que la tensión en la base de T_1 es menor que V_E (mas negativa que), el transistor T_1 **no** conduce mientras que el T_2 **si**.

El modo de funcionamiento es: cuando la entrada e:

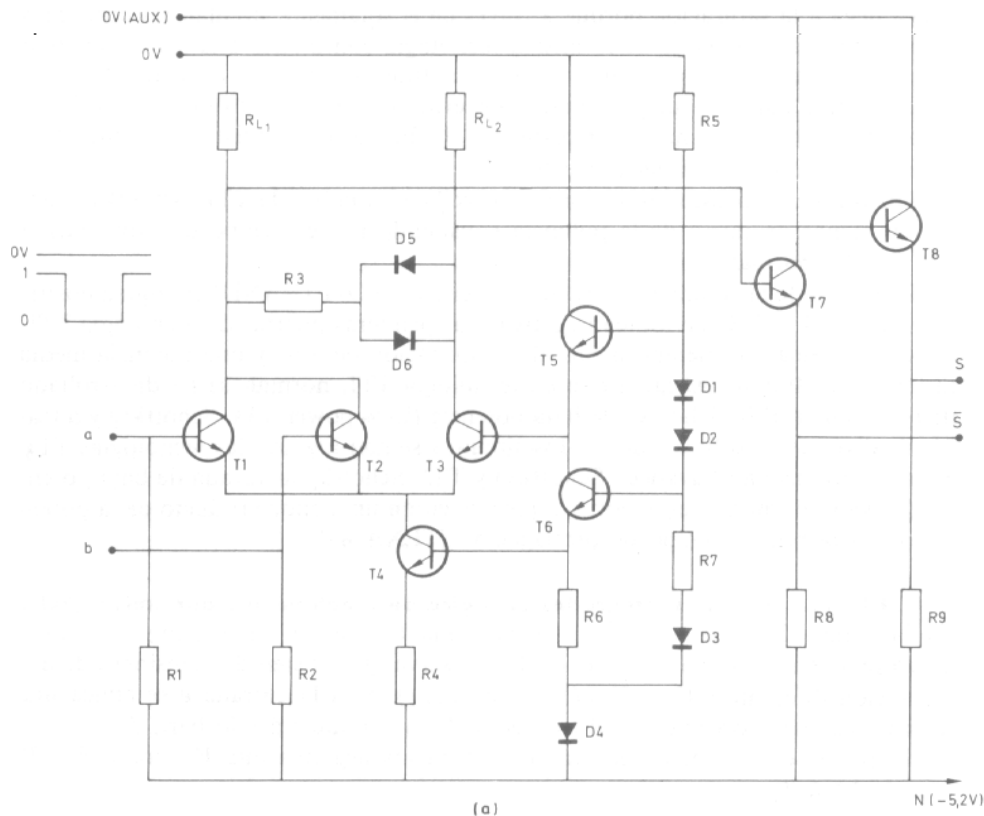
$e = 1, v_e = -|V_E| + \delta, T_1$ conduce, $V_{S1} = I \cdot R_L < 0$ y $S_1 = 0$

Cuando en la entrada e

$e = 0, v_e = -|V_E| - \delta, T_1$ está en corte, $V_{S1} = 0$ y $S_1 = 1$

Tengo de esta manera una entrada y dos salidas, una respondiendo como inversora de la entrada (la salida S_1) mientras que la otra, S_2 será el complemento de S_1 (S_1). Si junto al transistor T_1 colocamos en paralelo otros transistores tendremos mas entradas para el dispositivo y estaremos en presencia de puertas tipo OR.

La figura siguiente representa una de éstas puertas en la que las bases de los transistores T_1 y T_2 forman las entradas de una puerta OR y NOR según se tome una u otra salida. El transistor T_4 actúa como fuente de corriente y T_5 establece la tensión de referencia de T_3 . Los colectores de los transistores T_1, T_2 y T_3 se conectan a la base de sendos transistores T_7 y T_8 cuya polarización y conducción controlan. Esta configuración asegura un gran fan-out.

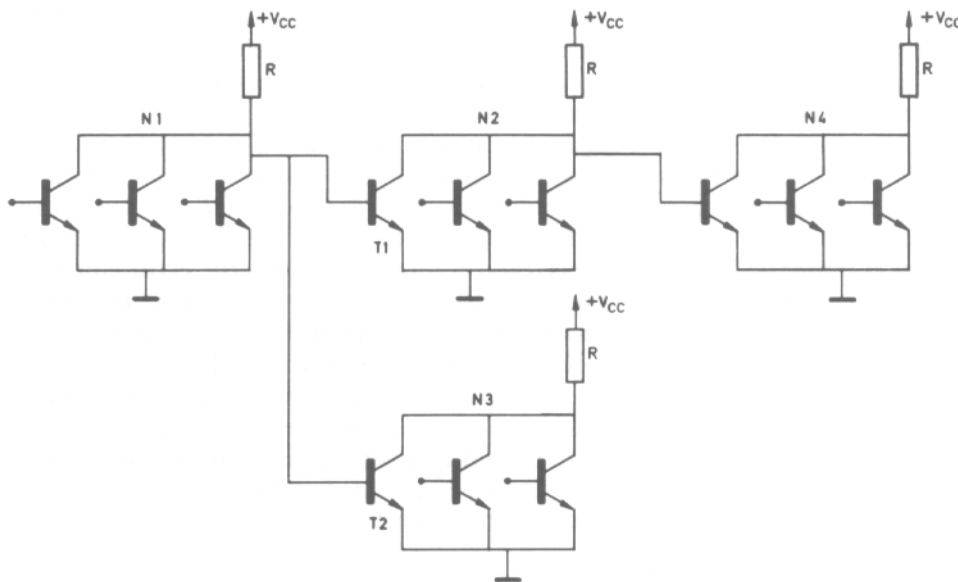


La familia lógica ECL más popular es la serie 10.000 (10K) que tiene un retardo de propagación de 2 ns. Existe en el mercado otra serie, la 100.000 (100K) que tienen son mas estables a la temperatura que las anteriores y tiempos de retardo inferiores. La desventaja que tiene se debe a la compatibilidad con las otras familias porque debe trabajar con tensiones negativas, además de su alta

disipación. Ver tabla de comparación. Los principios de funcionamiento de éste circuito escapan a las intenciones del curso ²

La búsqueda de una mayor densidad de integración llevó, al principio de la década del setenta, al desarrollo de la tecnología de inyección integrada IIL o I²L.

Ésta tecnología constituye una evolución de los circuitos lógicos realizados con transistores acoplados directamente [Direct coupled transistor logic (DCTL)] que se desarrollaron a principios de la década del sesenta. En la figura siguiente se muestra un circuito de éste tipo: se trata de 4 puertas NOR DCTL



Tomemos una de ellas, se verá fácilmente que se trata de una puerta NOR: cuando las tres puertas (las bases de los tres transistores) se hallan conectadas a masa, cada transistor estará en corte y la salida S que es el colector de todos los transistores de ese grupo, tendrá una tensión fijada por la tensión de base del/los transistor/es del/los conjunto/s siguiente/s , (aproximadamente 0,7 V).

En tanto que si la tensión de entrada de cualquier base de cualquier transistor es superior a 0,7 V dicho transistor estará conduciendo en saturación y la tensión de salida será de aproximadamente 0,2 V (V_{EC}). Tenemos así una separación de 0,5 a 0,6 V entre estados lógicos.

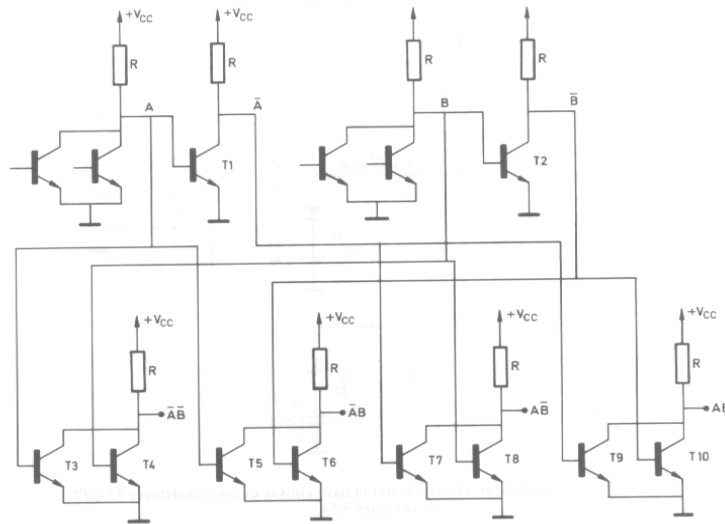
El principal inconveniente de ésta tecnología es la imposibilidad de fabricar transistores con idénticas características, (particularmente que se mantengan iguales al variar la temperatura). Veamos que pasa cuando dos transistores que son levemente diferentes trabajan en paralelo por ejemplo T_1 y T_2 de la figura anterior: Supongamos que T_1 necesita 0,7 V como tensión base emisor para saturar en tanto que T_2 necesita 0,72 V; entonces, hasta no superar la

² Un estudio detallado del tema se encuentra en el Ithem 3-12 de Microelectrónica de Millman y Grabel pag 140 (capítulo 3)

base de ambos los 0,72 V no estará el sistema en saturación con lo cual estamos disminuyendo el margen de ruido (la tensión de saturación tiene que ser más precisa para que el circuito trabaje bien). Este fue el motivo por el que se abandonó la tecnología DCTL

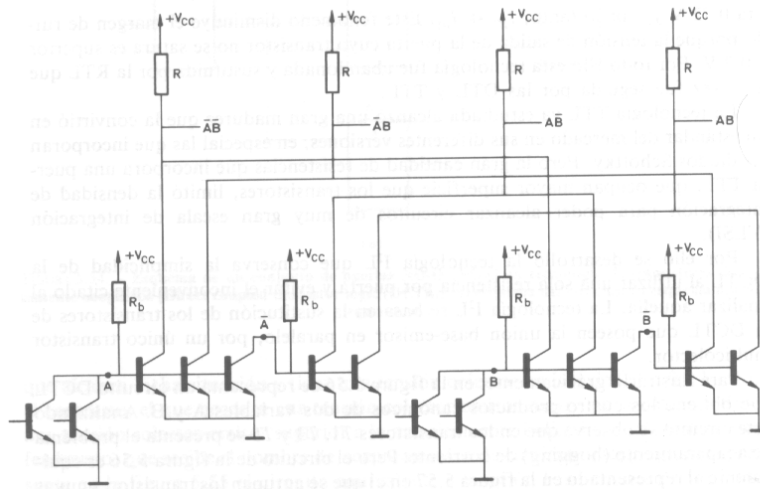
Pero con la creación de, la lógica de inyección integrada IIL o I²L, en la que se evita el fenómeno de acoplamiento base-emisor de distintos transistores, gracias al uso del transistor multicolector³ y a la inyección de corriente en la base de los transistores de entrada. Para estudiar su funcionamiento veamos el siguiente conjunto de circuitos:

En el primero se muestra uno que realiza los cuatro productos posibles para dos variables “a y b”



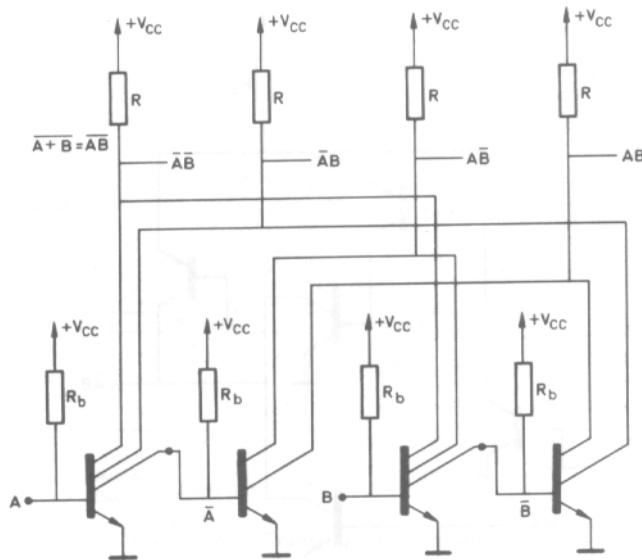
Está claro que la salida “A” alimenta tres entradas de base a los transistores T₁, T₃ y T₅ entonces para reemplazar estos tres transistores habría que fabricar uno que actuara como en la figura siguiente

³ Como el transistor multiemisor, éste tiene mas de un colector.



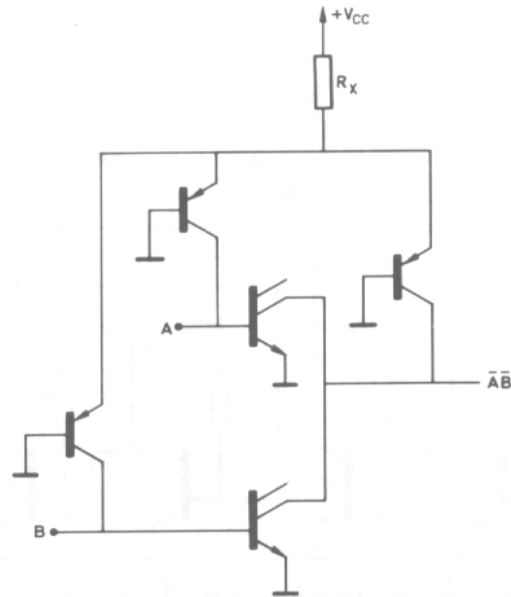
Éste circuito realiza las mismas funciones que el anterior pero se pone de manifiesto que tres transistores T_1 , T_3 y T_5 están ahora juntos y comandados por la misma tensión de base-emisor; así como los correspondientes para otras operaciones.

Si reemplazamos las tres uniones base emisor con el transistor multicolector obtendremos el circuito siguiente, (se han quitado también los transistores que estaban delante de la entrada "A")



Que realiza idénticas funciones que el anterior.

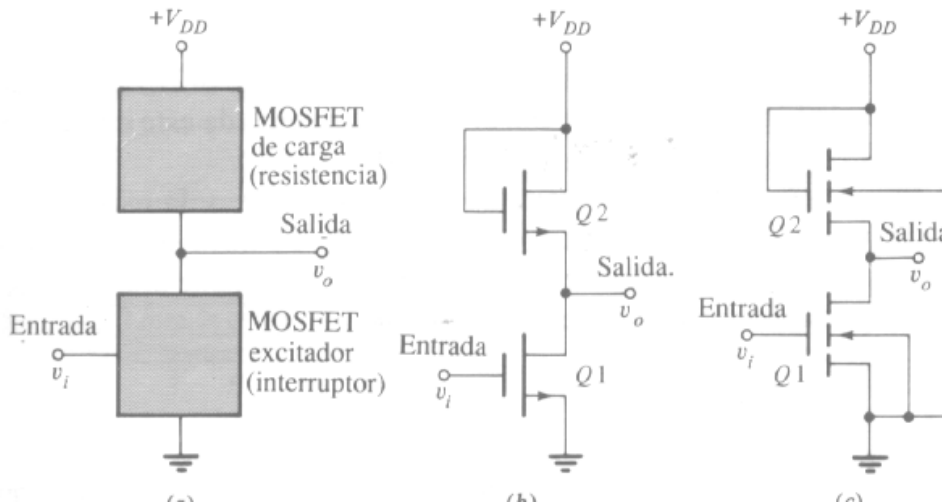
En ésta tecnología se requiere además que la resistencia R_b sea reemplazada por un transistor que mantenga la corriente de base constante, o sea que inyecte la corriente de base del transistor multicolector, quedando el circuito para realizar la operación $A \cdot B$ como sigue



Ésta última operación es la que le termina dando el nombre de Lógica de Inyección Integrada a la tecnología; cabe destacar que eligiendo adecuadamente el valor de la resistencia R_x se pueden bajar los tiempos de conmutación así como reducir los valores de potencia disipada.

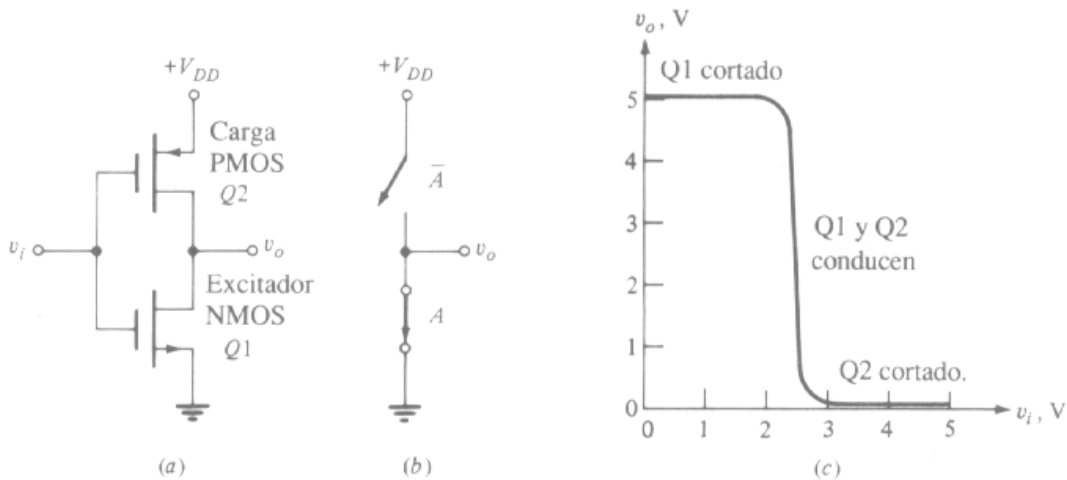
La tecnología IIL fue desplazada finalmente por la tecnología de los transistores MOS

La familia NMOS es una de las tecnologías más utilizadas para formar circuitos digitales. El único componente utilizado en la fabricación es el transistor NMOS que se puede usar tanto como interruptor gobernado como resistencia y otras componentes

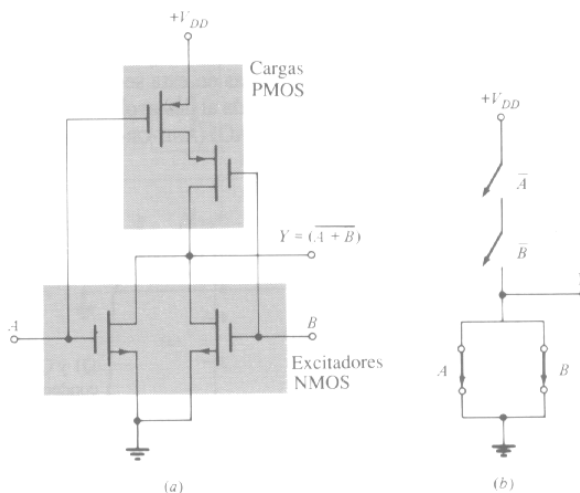


. El poco espacio ocupado por cada transistor en el chip junto con la sencilla configuración del circuito hacen que el circuito NMOS tenga la mas alta densidad de componentes. Esta gran densidad es aprovechada en los sistemas integrados de gran escala (VLSI) en donde por ahora domina la tecnología NMOS.

Como ya se mostró en clases anteriores el inversor CMOS tiene una cantidad enorme de ventajas frente a otras tecnologías, en la figura siguiente se muestra el circuito básico del inversor CMOS en el que la llave conmutadora es un transistor MOS de canal N NMOS y la carga es un transistor MOS de canal P PMOS esta integración da lugar a un par complementario de transistores (se lo llama complementario porque cuando uno corta el otro cierra el circuito logrando que a la vez que se produce la conmutación , cambia el valor de la resistencia de carga a los valores deseados vistos en la clase anterior)



A manera de ejemplo vemos la combinación de dos CMOS para realizar una operación NOR



La Familia Lógica CMOS son la de las series 4000B, 74C y 74HC, estando todas ellas fabricadas con puertas de polisilicio. Los circuitos de éstas series pueden operar a tensiones de alimentación tan bajas como 3V o tan altas como 20V. Cuando trabaja con una alimentación de 5V, cada salida puede alimentar una entrada a una puerta TTL de la serie 74LS

Todo esto sumado al hecho de tener una disipación estática prácticamente nula, y buena inmunidad al ruido la hacen la familia lógica más utilizada

Hemos estudiado el funcionamiento del transistor como elemento de conmutación; el desarrollo de diversas tecnologías de fabricación de semiconductores permitió a principios de la década del 1960, la difusión de varios componentes en un único sustrato semiconductor. Se creó el circuito integrado monolítico y se desarrolló la microelectrónica aplicada dedicada al estudio de los métodos y procesos de realización de circuitos integrados. Es útil clasificar los circuitos integrados, dado la diversidad de los mismos.

La primer gran clasificación esta en separarlos entre Integrados Monolíticos (CIDM) e Integrados Híbridos. El primero está construido íntegramente a partir de un bloque o sustrato semiconductor sobre el cual se van depositando diferentes sustancias con las que se van armando los distintos dispositivos (transistores, resistencias, condensadores, etc.) Un circuito integrado híbrido está compuesto por un conjunto de circuitos integrados monolíticos y componentes discretos que se colocan sobre un determinado soporte inerte que sirve sólo para fijar las conexiones entre ellos.

A su vez los CIDM se los puede clasificar de acuerdo al tipo de dispositivo base usado: Bipolares , MOS o combinación de ambos.

Los CIDM BJT fueron los primeros en ser fabricados, y el principal concepto en su diseño fue el de disminuir el producto tiempo de propagación potencia disipada. Los circuitos lógicos con transistores bipolares en saturación se han utilizado en diferentes técnicas, las más usadas han sido la lógica de resistencia-transistor (RTL), la lógica diodo transistor (DTL), y la lógica transistor-transistor (TTL). Eran rápidos pero en general disipaban mucha potencia (calentaban)

Los CIDM de efecto de campo MOS se han desarrollado más recientemente y gracias a sus características se ha incrementado notablemente la cantidad de dispositivos por chip. La principal ventaja de éstos es que disipan muy poca potencia, por lo tanto no necesitan refrigeración, alcanza sólo con ventilación. Para dar una idea de ésta diferencia se puede comentar que fueron puestas en fuera de servicio varias unidades del tipo multiusuarios, sólo porque en vez de pagar los gastos de mantenimiento, convenía comprar equipos unitarios para cada usuario.

De la combinación de ambos tipos transistores se ha obtenido CIDM con gran fan - out.

Otro tipo de CIDM al que no hemos nombrado casi son los que resultan de utilizar como semiconductor en vez de Si dopado con diferentes impurezas compuestos binarios del tipo AsGa (III-V).

También se los puede clasificar por la cantidad de dispositivos en el interior de su único circuito: los CIDM SSI, MSI, LSI, VLSI, ULSI y GLSI.

Nivel de Integración	Nº de componentes	Nº de puertas
Pequeña escala de integración (SSI)	10 a 100	1 a 10
Mediana escala de integración (MSI)	100 a 1.000	10 a 100
Gran escala de integración (LSI)	1.000 a 10.000	100 a 1.000
Muy gran escala de integración (VLSI)	10.000 a 100.000	1.000 a 10.000
Ultra gran escala de integración (ULSI)	100.000 a 1.000.000	10.000 a 100.000
Giga gran escala de integración (GLSI)	+ de 1.000.000	+ de 100.000

En el desarrollo de éstos integrados han jugado un papel muy importante el diseño asistido por computadora y el pulido de las técnicas enunciadas en la clase anterior. Se comenzó integrando puertas elementales NAND y NOR en un número de una a seis, en función del número de entradas, y biestables del tipo J-K *principal - subordinado* (Master-Slave), D activado por flancos (edge - triggered o flip-flop) y D cerrojo (latch). Estos circuitos son los de pequeña escala de integración SSI y llevan de 1 a 10 puertas lógicas aproximadamente.

La necesidad de realizar sistemas digitales complejos normalizados como los contadores, multiplexores, decodificadores, etc. ha conducido al diseño de circuitos de integración media (MSI) contando de 10 a 100 dispositivos lógicos por integrado.

El desarrollo combinado de la teoría de bloques funcionales y de las técnicas de microelectrónicas condujo a la obtención de los circuitos de gran escala (LSI), que poseen un número de puertas comprendido entre 100 y 1000 y dio lugar al nacimiento del primer microprocesador.

La continuación de éstos desarrollos permitió, debido a la disminución de los tamaños de cada puerta lógica, costos de fabricación y otras mejoras en las técnicas fabricación, la realización de los otros tres niveles de integración VLSI, ULSI y GLSI mostrados en la tabla anterior.

Otra clasificación posible tiene en cuenta si los CIDM son de fabricación standard o "hechos a medida" con especificaciones del usuario.

Los primeros constituyen los CIDM de arquitectura fija, en la que todos sus elementos están unidos rígidamente entre si.

Los segundos, o de arquitectura configurable, son aquellos cuyo sistema físico funcional se puede variar modificando el estado de unas variables binarias.

Entre los primeros, y siguiendo el orden de la cantidad de puertas lógicas que poseen mencionaremos

- (a) el chip 7400 de tecnología TTL que contiene 4 puertas lógicas NAND , que está en el nivel SSI
- (b) el 74LS194, que es un registro de desplazamiento, (que veremos mas adelante) nivel MSI
- (c) los micro - procesadores de 8 bits como el 6502 de Rockwell (utilizado en los equipos Comodore), el 6800 de Motorola o el 8085 de Intel, de nivel LSI
- (d) en el nivel VLSI se hallan los micro - procesadores de 16 bits 8086 de Intel y 68000 de Motorola
- (e) en ULSI se encuentra el micro - procesador 486 de Intel y por último
- (f) en GLSI el Pentium de Intel
- (g) Un paso superior a éstos últimos pero que no ha sido definida específicamente la constituyen los circuitos integrados digitales complejos que realizan una función determinada como ser sistemas de riego automático, sistemas de telemando.

Tanto los CIDM de arquitectura fija de aplicación general como los de aplicación específica se pueden clasificar de acuerdo a dos conceptos interrelacionados:

- a) La expansibilidad: se pueden acoplar varios entre sí para obtener un conjunto de mayor capacidad. Ésta técnica se comenzó a utilizar cuando se desarrollaron los LSI y VLSI, y dio origen a la nomenclatura 286 pero decayó cuando se comenzó a usarse la ULSI y poderse fabricar en un único CIDM procesadores de 32 o 64 bits.
- b) La programabilidad: Los CIDM no programables realizan una única función con unas características perfectamente definidas. Como el circuito 7400 citado anteriormente. Por el contrario los circuitos lógicos programables son aquellos cuya función se puede variar modificando el valor de unas variables binarias. Están los programables no universales y los universales. Entre los primeros están la unidad aritmética y lógica 74181 o el circuito 74LS194 (que es un registro de desplazamiento que posee cuatro modos de operación seleccionables mediante dos variables binarias. Los CIDM de función fija programables universales contienen la unidad central de procesamiento (CPU) de un computador (como el 8085, 8086, 80286, 80386 80486 o el

Pentium de Intel, el 6800 o el 68000 de Motorola, etc.), La totalidad de un computador (como el 8051 o el 80196 de Intel o el 68HC11 de Motorola). Todos ellos se caracterizan porque la función que realizan se modifica cambiando el contenido de una memoria de acceso aleatorio (RAM)

Los CIDM de arquitectura fija, tanto expansibles como no, e independientemente de su nivel de integración, poseen un conjunto de recursos lógicos conectados rígidamente entre sí que se utilizan en su totalidad a lo largo de su vida útil. La programabilidad les da a éstos CIDM la característica de poder cambiar su forma de operación modificando el contenido de una memoria de acceso aleatorio.

No se obtiene de ésta manera suficiente flexibilidad en algún tipo de operaciones como por ejemplo los circuitos de interfaz de ciertos periféricos de un procesador. Por ello surgió el interés en desarrollar unos CIDM cuyo sistema físico funcional pudiera ser modificado mediante el estado de unas variables binarias.

La idea reside en tener disponibles diferentes funciones en el mismo CIDM y utilizar la parte que a uno le interesa o la combinación específica deseada, mediante la interconexión de los bloques de interés usando interruptores programables. Dicha modificación se lleva a cabo mediante la programación del estado de un conjunto de variables binarias independientes o asociadas entre sí formando una determinada estructura de memoria.

Estos dispositivos dieron origen a los DLP básicos (Programmable Logic Devices PLD), avanzados, complejos, y a las FPGA (Field Programmable Gate Arrays) con recursos de interconexión distribuida en forma de cuadrícula, de terraza o en mar de puertas. A éste grupo pertenecen las EPROM, EEPROM, y otros dispositivos que veremos mas adelante.

Al alcanzar el nivel de la VLSI los fabricantes de circuitos integrados pudieron ofrecer a los fabricantes de algunos equipos industriales (Comunicaciones, electrodomésticos, etc.) la posibilidad de realizar un circuito específico para su aplicación. Estos circuitos se realizan a medida del usuario por lo que reciben el nombre de CIDM a medida (Custom integrated circuits)

Existen numerosas aplicaciones en las que es necesario tratar digitalmente información analógica. Se harán entonces circuitos conversores analógico-digitales en los que se incluyen componentes pasivos como resistencias y condensadores cuyos valores es preciso calibrar cuando está completado el dispositivo para asegurar la respuesta del equipo. Éste ajuste final es imposible de realizar en una construcción monolítica, para ello se desarrolló los circuitos híbridos que se presentan en dos versiones:

- a) Circuitos híbridos de capa gruesa (Thick film circuits): se caracterizan por la deposición sobre un soporte cerámico de capas de espesor elevado (10 a 50 μm) de materiales resistivos, dieléctricos y conductores, que se conectan entre

sí y con los circuitos integrados digitales monolíticos. Las resistencias pueden finalmente ser calibradas utilizando técnicas láser para su acabado y ajuste. Son económicos tienen menor densidad de dispositivos que los integrados monolíticos pero tienen una gran fiabilidad y estabilidad a largo plazo de los componentes pasivos. Forman el 80% de los circuitos integrados híbridos que se encuentran en el mercado.

- b) Circuitos híbridos de capa fina (Thin film integrated circuits): se diferencian de los anteriores por el menor espesor de las capas que se depositan ($d < 1 \mu\text{m}$) para lograr una mayor densidad de componentes. Su proceso de fabricación es mucho mas caro que los de capa gruesa y por ello su campo de aplicación es mas reducido.

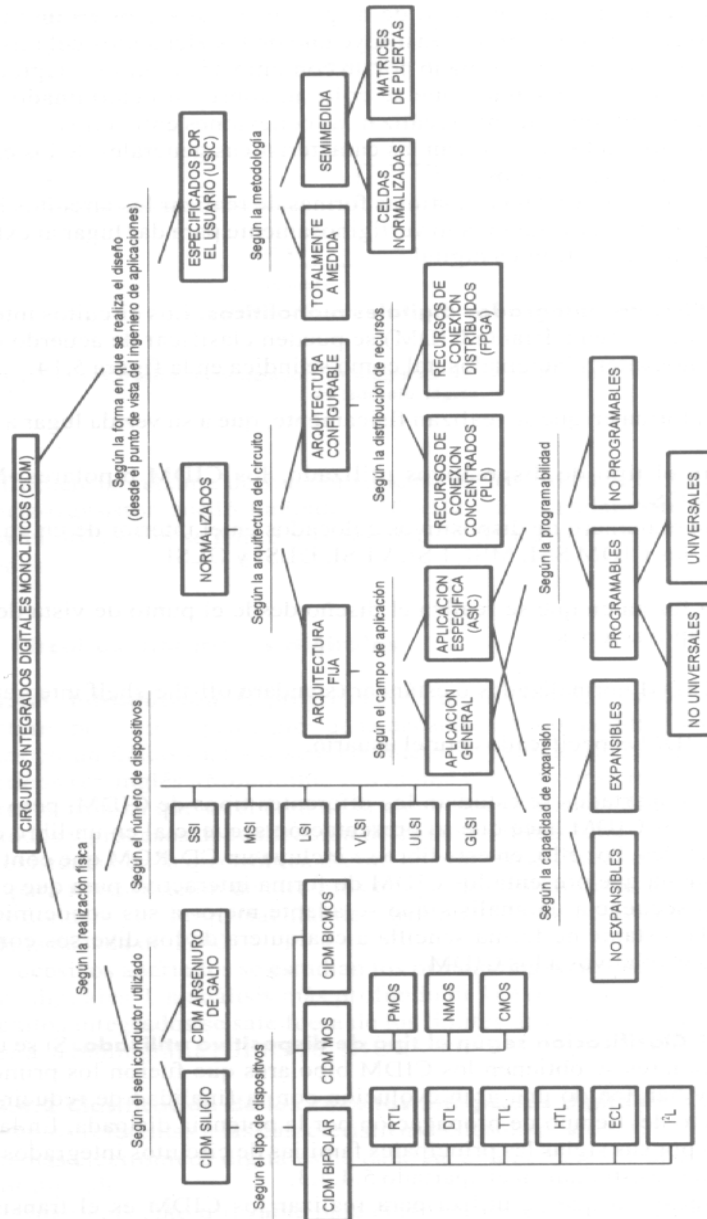


FIGURA 5.14.—Clasificación de los CIDM.

