

## Transistores de Efecto de Campo

El transistor de efecto de campo o simplemente FET (Field-Effect-Transistor) es un dispositivo semiconductor de tres terminales muy empleado en circuitos digitales y analógicos. Existen dos tipos de dispositivos MOSFET y JFET (Metal-Oxide-Semiconductor y Junction FET)

Los Fet tienen la particularidad de ser de fabricación más simple y de ocupar menos espacio que los BJT. Se pueden encontrar chips de hasta 100.000 MOSFET en sus interior. Otra ventaja que tienen los MOSFET es que los resistores y condensadores se suplir con dispositivos MOS, por lo que la fabricación de circuitos integrados con ésta tecnología se ha difundido tanto. Especialmente para sistemas integrados de muy gran escala (VLSI). Los JFET tienen la característica de tener muy alta resistencia de entrada y muy bajo ruido por lo que se los emplea en procesamineto de señales.

A diferencia del BJT tratado en la clase anterior el FET basa su funcionamiento en la aplicación de un campo eléctrico para gobernar el paso de la corriente eléctrica. De esta manera el FET funciona como una fuente de corriente con tensión controlada.

Básicamente se lo puede considerar formado por un canal semiconductor dopado con alguna impureza, a los extremos de ese canal se depositan sendos conductores a los que se les aplicará un a diferencia de potencial que acelera los electrones en un sentido determinado. A por sobre y por debajo del canal se deposita un material semiconductor de distinto tipo que el del canal y a éstos se les adosa un conductor para polarizar la unión de semiconductores en inversa.

En la siguiente figura vemos este diseño para un canal tipo  $n$  con el nombre de los terminales y el símbolo electrónico del mismo.

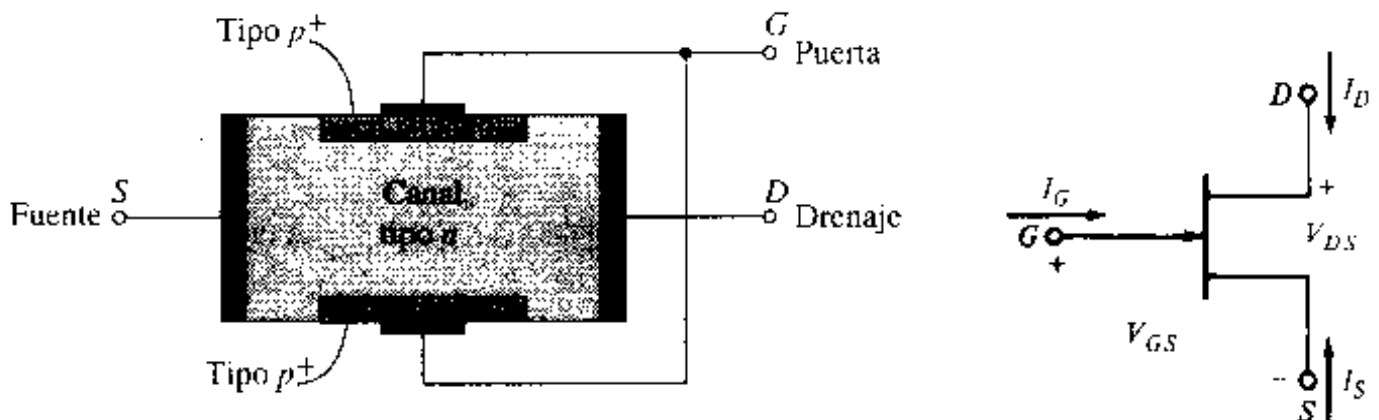


Figura 3-3 Estructura y símbolo del transistor de efecto de campo de canal  $n$  (JFET)

Queda entonces definida la fuente (S), el Drenaje (D) y la puerta (G) y las corrientes y tensiones asociadas a cada borne o par de ellos.

De forma análoga se realiza la misma representación para un FET de canal tipo  $p$  en la figura siguiente:

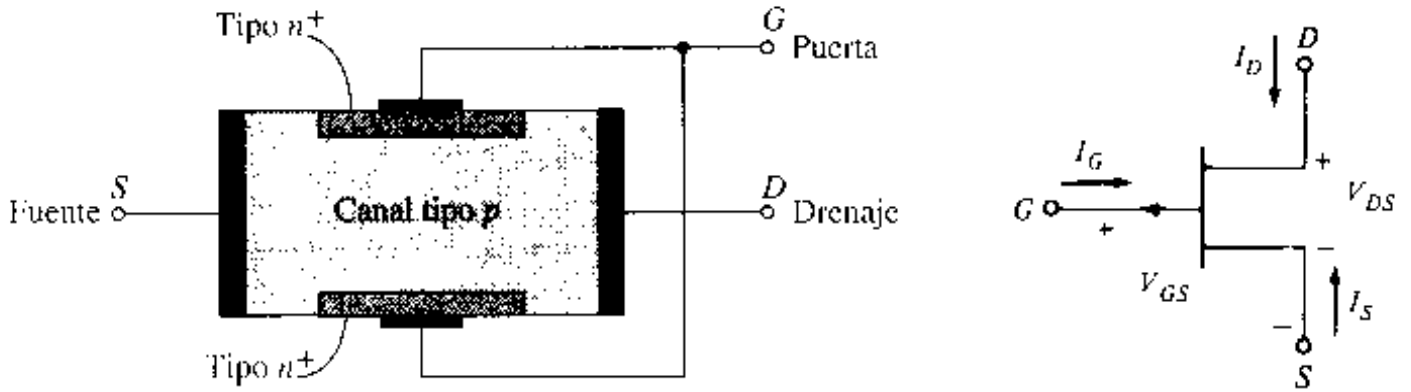


Figura 3-4 Estructura y símbolo del transistor de efecto de campo de canal  $p$  (JFET)

### Funcionamiento de JFET

A manera de ejemplo veremos el dispositivo JFET de canal  $n$  en la configuración de fuente común (SPG). Como se muestra en la figura siguiente

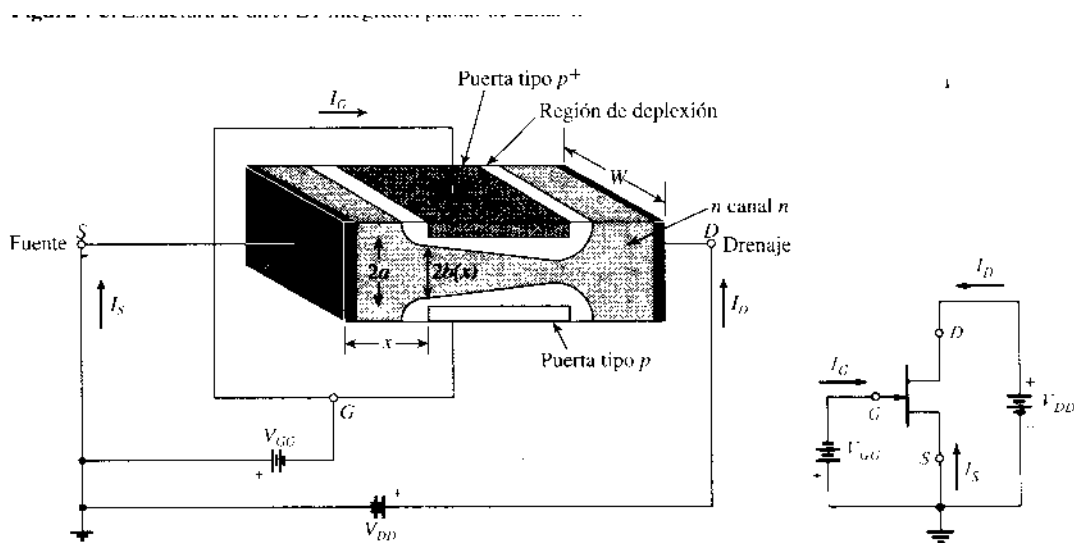


Figura 3-5 Transistor JFET de canal  $n$  en configuración de puerta común.

Observemos que al conectar a un potencial positivo el drenaje con respecto al potencial de la fuente (tomado como referencia) los electrones circularán por el semiconductor en tanto haya niveles de conducción disponibles. La corriente

eléctrica se verá afectada sólo por la resistencia (ohmica) que opone el semiconductor a su paso. Pero en la medida que apliquemos un potencial polarizando en inversa la unión pn entre la fuente y la puerta generaremos una zona de deplexión alrededor de la misma cuyo tamaño dependerá de la diferencia de potencial en la juntura. En la figura se resalta la zona de deplexión generada al colocarle una tensión negativa a la(s) puerta(s). Se ve que la zona de deplexión no tiene igual tamaño todo a lo largo de la puerta, esto se debe a la caída de tensión a lo largo del semiconductor. El espesor de la zona de deplexión limita la región por donde pueden circular electrones en el semiconductor. Al haber menor cantidad de niveles de conducción será menor la corriente eléctrica, de tal manera la intensidad de la tensión de polarización inversa de la puerta regula el paso de corriente eléctrica por el canal. Hacia el drenaje. Si aumentamos la tensión inversa  $V_{SG}$  llegaremos a algún valor tal  $V_p$  llamada tensión de estrangulación a la que el ancho del canal queda reducido a cero porque han sido eliminadas todas las cargas libres. Entonces la corriente de drenaje  $I_D$  tomada como función de la tensión de fuente drenaje  $V_{SD}$  tendrá que parametrizarse en función de la tensión de polarización inversa  $V_{SG}$ .

Descripción de la forma de fabricación del JFET con tecnología planar.

*Figura 3-6 Corte de un transistor JFET de canal n construido con tecnología planar.*

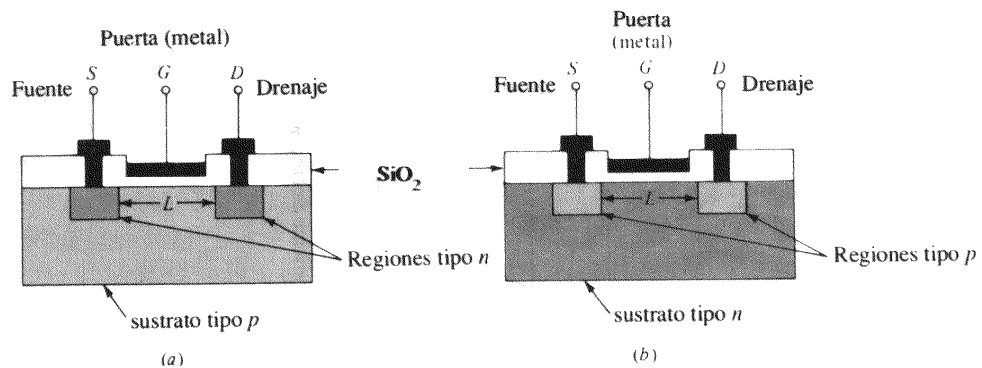
Sobre un sustrato de semiconductor tipo p se hace la máscara fotolítica correspondiente ( Recordar como se hace) de manera de dejar expuesta sólo la parte a eliminar. Luego se inyecta el ácido que corroe la zona de interés. Se lava el ácido y se deposita el material tipo n para hacer el canal. Se tapa la zona del canal con material fotolítico y se procede a quitar el material n sobrante. Se tapa la zona donde no se quiere dopar en exceso con impurezas pentavalentes y luego se satura el ambiente con la impureza correspondiente con temperatura y tiempo controlados para regular la profundidad de la difusión.

Luego se hace lo propio con el material de dopado trivalente (tipo p), se orada, se agrega por evaporación del silicio dopado con impurezas tipo p y si hace falta se agregan impurezas.

Luego de quitar el material fotolítico, se hace la máscara adecuada para depositar el aluminio que formará los contactos.

## El MOSFET

En un transistor de unión de efecto de campo, la sección efectiva del canal está gobernada por un campo eléctrico aplicado al canal a través de una unión *pn*. Empleando un electrodo de puerta metálico separado del canal semiconductor por una capa de óxido se obtiene un dispositivo de efecto de campo básicamente distinto. Esta disposición metal-óxido-semiconductor (MOS) permite controlar las características del canal por un campo eléctrico creado al aplicar una tensión entre la puerta y el sustrato. Un dispositivo esta índole se denomina MOSFET o transistor MOS. Son los transistores más utilizados en el momento.



Existen dos tipos de transistores MOS. El MOSFET de depleción cuyo comportamiento es similar al del JFET; y el llamado MOSFET de acumulación, no acusa ninguna corriente cuando la tensión de puerta es nula, aumentando la corriente de salida al aumentar la tensión de puerta. Ambos tipos pueden ser de canal  $p$  o de canal  $n$ .

En la figura anterior se ven dos MOSFET de acumulación (a) uno de canal  $n$  también llamado NMOS se ve que la fuente tipo  $n$  y el drenaje (también  $n$ ) están inmersos dentro de un sustrato tipo  $p$  y otro (b) de canal  $p$  también llamado PMOS se ve que la fuente tipo  $p$  y el drenaje (también  $p$ ) están inmersos dentro de un sustrato tipo  $n$

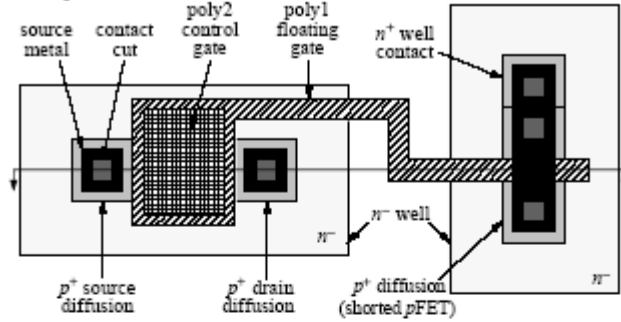
Cuando se polariza adecuadamente la puerta, se inducen cargas en el sustrato, por debajo de la capa de dióxido de silicio, estas cargas provienen de la fuente y del sustrato. Cuanto mayor es la polarización de la puerta mayor es la acumulación de cargas, con lo que aumenta la corriente de drenaje.

La polarización adecuada depende del transistor en el NMOS la fuente y el drenaje son materiales tipo  $n$  (exceso de electrones) luego necesito electrones en el canal, esto lo logro polarizando en forma positiva la puerta. Para el PMOS la tensión de polarización es negativa pues necesito exceso de huecos.

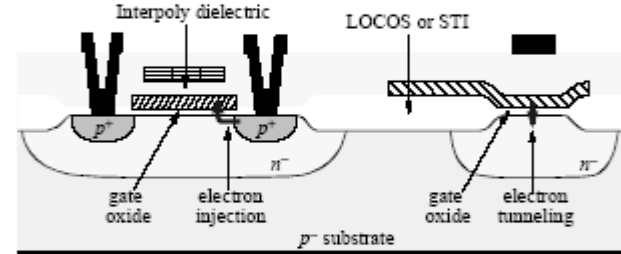
Los PMOS tienden a desaparecer: Dado que la movilidad de los materiales tipo  $p$  es mucho menor que la de los tipo  $n$  necesitamos mayores tensiones en la puerta o mayor superficie de unión entre los materiales tipo  $n$  y  $p$  para lograr el mismo efecto (corrientes de igual valor que en los canales tipo  $n$ ). Por ello es que los transistores de tipo PMOS tienden a desaparecer (salvo los que integran la tecnología CMOS)

# EL MOS FET DE PUERTA FLOTANTE Floating gate

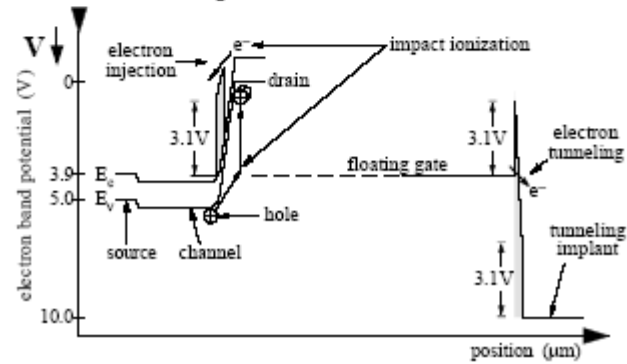
A. Top View



B. Side View

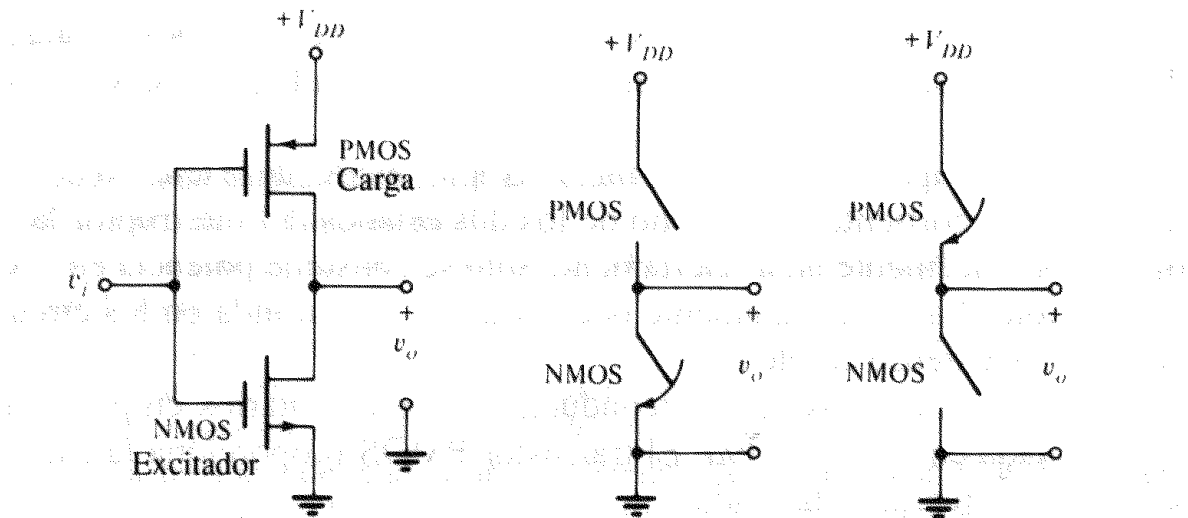


C. Electron Band Diagram



## Dispositivos CMOS

En circuitos digitales integrados se emplea mucho un dispositivo compuesto de dos transistores FET: uno NMOS y otro PMOS. Estos transistores compuestos han ido adquiriendo importancia en su aplicación en circuitos analógicos. La combinación de transistores NMOS y PMOS en un mismo chip se denomina MOS complementario o simplemente CMOS.



En el circuito de la figura, usado en aplicaciones digitales consta de un transistor NMOS (excitador) al que está conectado un transistor PMOS a manera de carga. Los terminales de puerta de ambos transistores están conectados entre sí. Supongamos que la tensión umbral  $V_T$  es la misma para los dos e igual a  $V_{DD}/2$ . Aplicando una tensión positiva  $V_1 > V_T$  simultáneamente se cierra (ON) el transistor NMOS y se abre el PMOS. Al estar conectados en serie los terminales de drenaje y de fuente de los dos transistores no circula corriente alguna por el NMOS (por estar el PMOS cortado). Por lo tanto la tensión de salida es prácticamente nula. Como se ve en *b* Luego cuando se aplica una tensión de entrada negativa (o cero) el PMOS se cierra (pasa a ON) pero el NMOS se corta. Al estar cortado uno de los dos transistores no circula corriente por el circuito pero la tensión de salida ahora es  $V_{DD}$ . Lo interesante de éste circuito es que sólo hay consumo de energía en el momento de la conmutación pero no en cualquiera de los dos estados.