

Unidad III: Paralelismo en monoprocesadores

Trabajo Práctico N° 2 Dependencias de un programa y Procesadores Superescalares

1.- Estudie el siguiente fragmento de programa y marque los tipos de dependencias que detecte.

```
S1: A = B * C
S2: X = Y + V
S3: V = A + 2
S4: A = A + 1
S5: C = B + X
S6: B = C + A
```

2.- Para el bucle del siguiente fragmento de código, arme los grafos de dependencia de datos que detecte y complete los valores *T* y *C* de los arcos vinculantes.

```
fibonacci[1] = 1;
fibonacci[2] = 2;
for (int i = 3; i <= 1000; i++){
S1: fibonacci[i] = fibonacci[i-1] + fibonacci[i-2];
S2: acum = acum + fibonacci[i];
S3: suma[i] = fibonacci[i] * 100;
S4: prom[i] = suma[i] / count;
S5: data[i] = acum + data[i-1];
S6: total[i] = data[i] / prom[i];
S7: count = total[i];
}
```

<p>Suponga los siguientes parámetros</p> <p>Suma: 2 ciclos</p> <p>Multiplicación: 4 ciclos</p> <p>División: 5 ciclos</p> <p>Asignación: 1 ciclo</p>

3.- Basándose en el ejercicio anterior, halle:

- los ciclos de dependencia que se forman
- calcule el tiempo de ejecución de cada uno de ellos
- el tiempo de dependencia crítica del loop
- la aceleración total obtenida.

4.- Realice el grafo de dependencias (RAW) del siguiente fragmento de código y averigüe el tiempo que tardará en emitirse el en un procesador con emisión en orden de una instrucción por ciclo y dos unidades de ejecución que pueden ejecutar cualquier tipo de instrucción?

```
S1: ADDD r3, r0, r5
S2: MULD r2, r2, r5
S3: DIVD r1, r5, r0
S4: STD (r3), r1
S5: SUBD r6, r3, r2
S6: LDD r9, (r6)
S7: ADDD r2, r6, r3
S8: DIVD r10, r3, r1
```

<p>Suponga los siguientes parámetros</p> <p><i>ADDD</i>: 2 ciclos</p> <p><i>MULD</i>: 4 ciclos</p> <p><i>SUBD</i>: 3 ciclos</p> <p><i>DIVD</i>: 7 ciclos</p> <p><i>LDD/STD</i>: 5 ciclos</p>
--

Arquitectura de Computadoras y Técnicas Digitales

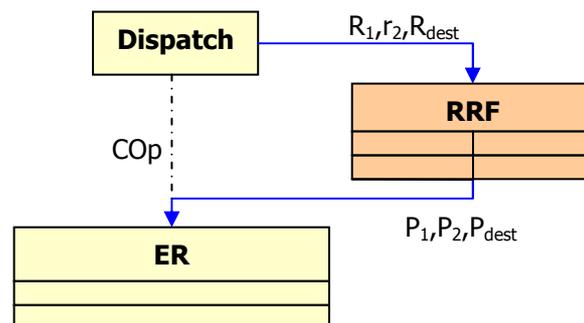
5.- a) ¿Cuánto tiempo tardará en emitirse el siguiente fragmento de código en un procesador superescalar de grado 2 con ejecución en orden y 2 unidades de ejecución, en el que todas las instrucciones tienen una latencia de 1 ciclo y cualquier unidad de ejecución puede ejecutar cualquier tipo de instrucción?

b) ¿Cuál es la aceleración obtenida si el mismo fragmento se ejecutara en un procesador escalar (de grado 1)?

S₁: LDD r1, (r2)
 S₂: SUBD r4, r5, r6
 S₃: ADDD r3, r1, r7
 S₄: MULD r8, r3, r3
 S₅: STD (r11), r4
 S₆: STD (r12), r8
 S₇: ADDD r15, r14, r13
 S₈: SUBD r10, r15, r10
 S₉: STD (r9), r10

6.- Emita la secuencia de instrucciones del ejercicio 4 a la estación de reserva (ER) renombrando los registros de arquitectura por registros físicos a partir de la tabla de renombramiento de registros (RRF) siguiente:

P	valid	Reg des	value	busy	last
1	1	0	100	1	1
2	0	2	1000	1	1
3	1	2	200	1	1
4	1	5	70	1	1
5					
6					
7					
8					
9					
10					
11					
12					
...
32					



7.- Muestre el cronograma temporal de ejecución de las instrucciones del ejercicio 4. Suponga una arquitectura superescalar que emite 2 instrucciones por ciclo, sin estaciones de reserva (emisión ordenada y finalización desordenada) y 3 unidades funcionales dedicadas: 1 de memoria (*loads / stores*) y 2 aritméticas (ambas de punto fijo y flotante).

8.- Con los datos del ejercicio 7 realice el cronograma temporal pero ahora con emisión fuera de orden. ¿Existe alguna aceleración con respecto a la versión que emite en orden? ¿Que magnitud tiene?

9.- Con los datos del ejercicio 4 y suponiendo emisión fuera de orden con ventana de 4 instrucciones (estación de reserva), muestre el estado del *ROB* para cada ciclo de reloj hasta terminar toda la ejecución de las instrucciones.

10.- El esquema de la figura representa de manera simplificada la arquitectura de un procesador que planifica la ejecución de instrucciones mediante el algoritmo de *Tomasulo Original*.

RS	Tag	Src1	Tag	Src2	Dst
1					
2					
3					

Adder

RS	Tag	Src1	Tag	Src2	Dst
4					
5					

Mult/Div

FPRF	Busy	Tag	Data
0	0		6.0
2	0		3.5
4	0		10.0
8	0		7.8

- S₁: MULD r4, r0, r8 (3 ciclos)
- S₂: ADDD r2, r0, r4 (2 ciclos)
- S₃: ADDD r4, r0, r8 (2 ciclos)
- S₄: MULD r8, r4, r8 (5 ciclos)
- S₅: MULD r8, r4, r8 (5 ciclos)
- S₆: ADDD r8, r4, r8 (5 ciclos) Busy r4 en 0

Se ejecuta la secuencia de instrucciones mostrada en la figura con las latencias de cada UF indicada entre paréntesis. Complete para cada ciclo el estado de las estaciones de reserva (RS) y del banco de registros de punto flotante (FPRF) en los siguientes supuestos:

- a) Emisión de una instrucción por ciclo
- b) Emisión múltiple de 2 instrucciones en caso de que se ejecuten en UF diferentes (Adder o Mult/Div).
- c) Analice el resultado de la ejecución anterior y explique que inconsistencias se presentan.
- d) ¿Cómo solucionaría dicha inconsistencia? (Tenga en cuenta el tomasulo básico vs optimizado)